

# 关于本手册

本手册为用户提供 Kendryte 硬件技术规格简介。

## 发布说明

日期	版本	发布说明
2018-08-01	V0.1	* 初始版本

## 免责声明

本文档中的信息，包括参考的 URL 地址，如有变更，恕不另行通知。文档“按现状”提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档不负任何责任，包括使用本文档内信息产生的侵犯任何专利权行为的责任。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。文中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

## 版权公告

版权归 © 2018 嘉楠科技所有。保留所有权利。

# 目录

关于本手册	i
发布说明	i
免责声明	i
版权公告	i
第 1 章 概述	1
1.1 AI 解决方案	1
1.2 市场与应用	2
第 2 章 引脚定义	4
2.1 引脚布局	4
2.2 引脚描述	5
2.3 电源电路	10
2.4 复位电路	10
2.5 特殊引脚	10
第 3 章 功能描述	11
3.1 中央处理器 (CPU)	11
3.2 神经网络处理器 (KPU)	12
3.3 音频处理器 (APU)	13
3.4 静态随机存取存储器 (SRAM)	13
3.5 系统控制器 (SYSCTL)	14
3.6 现场可编程 IO 阵列 (FPIOA)	15
3.7 一次性可编程存储器 (OTP)	15
3.8 高级加密加速器 (AES)	15
3.9 数字视频接口 (DVP)	16

---

3.10	快速傅里叶变换加速器 (FFT)	16
3.11	安全散列算法加速器 (SHA256)	16
3.12	通用异步收发传输器 (UART)	17
3.13	看门狗定时器 (WDT)	17
3.14	通用输入/输出接口 (GPIO)	18
3.15	直接内存存取控制器 (DMAC)	19
3.16	集成电路内置总线 (I <sup>2</sup> C)	19
3.17	串行外设接口 (SPI)	19
3.18	集成电路内置音频总线 (I <sup>2</sup> S)	20
3.19	定时器 (TIMER)	20
3.20	只读存储器 (ROM)	20
3.21	实时时钟 (RTC)	21
3.22	脉冲宽度调制器 (PWM)	21
第 4 章	电气特性	22
第 5 章	封装信息	23

# 第 1 章

## 概述

Kendryte A1 是集成机器视觉与机器听觉能力的片上系统 (SoC) 方案, 使用台积电 (TSMC) 超低功耗的 28 纳米先进制程, 具有双核 64 位处理器, 拥有最佳的功耗性能、稳定性与可靠性。该方案力求零门槛开发, 可在最短时效部署于用户的产品中, 赋予产品人工智能。

Kendryte A1 是一颗定位于 AI 与 IoT 市场的 SoC, 同时是一颗使用非常方便的 MCU。

Kendryte 中文含义为勘智, 而堪智取自堪物探智。这颗芯片主要应用领域为物联网领域, 在物联网领域进行开发, 因此为堪物; 这颗芯片主要提供的是人工智能解决方案, 在人工智能领域探索, 因此为“探智”。

- 可以运行普通处理器难以完成的算法
- 在低功耗机器视觉处理上速度和准确率远强于相同价位的 SoC/MCU
- 具备机器视觉能力
- 具备机器听觉能力
- 具备卷积神经网络硬件加速器 KPU, 可高性能进行卷积神经网络运算
- TSMC 28nm 先进制程, 温度范围-40°C 到 125°C, 稳定可靠
- 支持固件加密, 难以使用普通方法破解
- 独特的可编程 IO 阵列, 使得产品设计更加灵活
- 低电压, 与相同处理能力的系统相比具有更低功耗
- 3.3V/1.8V 双电压支持, 无需电平转换, 节约成本

### 1.1 AI 解决方案

#### 1.1.1 机器视觉

Kendryte A1 具备机器视觉能力, 是零门槛机器视觉嵌入式解决方案。它可以在低功耗情况下进行卷积神经网络计算。

该芯片可以实现以下机器视觉能力：

- 基于卷积神经网络的一般目标检测
- 基于卷积神经网络的图像分类任务
- 人脸检测和人脸识别
- 实时获取被检测目标的大小与坐标
- 实时获取被检测目标的种类

### 1.1.2 机器听觉

Kendryte A1 具备机器听觉能力，芯片上自带高性能麦克风阵列音频处理器，可以进行实时声源定向与波束形成。

该芯片可以实现以下机器听觉能力：

- 声源定向
- 声场成像
- 波束形成
- 语音唤醒
- 语音识别

### 1.1.3 视觉/听觉混合解决方案

Kendryte A1 可结合机器视觉和机器听觉能力，提供更强大的功能。这意味着在应用中既可以通过声源定位和声场成像辅助机器视觉对目标的跟踪，又可以通过一般目标检测获得目标的方位后辅助机器听觉对该方位进行波束形成。这意味着可以通过摄像头传来的图像获得人的方向后，使得麦克风阵列通过波束形成指向该人；同时也可以根据麦克风阵列确定一个说话人的方向，转动摄像头指向该人。

## 1.2 市场与应用

### 1.2.1 物联网与人工智能

随着物联网风口（尤其是基于 Wi-Fi 的物联网）逐渐过去，各种物联网设备在市场上出现。传统家用电器制造商、工业设备制造商经历了第一次洗牌，他们的产品开始具备联网能力，初步可以连接云端实现自动化。虽然很多产品自称“智能插座”、“智能灯”、“智能网关”，但是它们离智能还有很远。它们仅仅实现了半自动化，将手机 APP 变成了超级遥控器。

而人工智能的风口已经到来，经过物联网洗礼后活下来的制造商不得不面对第二次洗牌，那就是人工智能。它们能听懂人说话，看到人的表情，知道人在想什么。物联网芯片实现了硬件与云端的连接，而人工智能芯片应当实现真正的智能。

### 1.2.2 市场定位

用于真正意义上的智能硬件，实现工业、医疗、农业、教育、环境、气象、旅游业等所有行业的硬件节点或传感器的智能化。

### 1.2.3 应用领域

- 用于传感器的边缘计算和数据抽象
- 工业、商用物联网领域的传感器数据前处理节点
- 基于机器视觉的通用物体跟踪
- 基于机器视觉的一般物体识别
- 人脸检测和人脸识别
- 基于麦克风阵列的声源定向
- 基于麦克风阵列的声场成像
- 远场语音唤醒
- 语音识别
- 智能家居，家电、厨电
- 智能儿童玩具，故事机

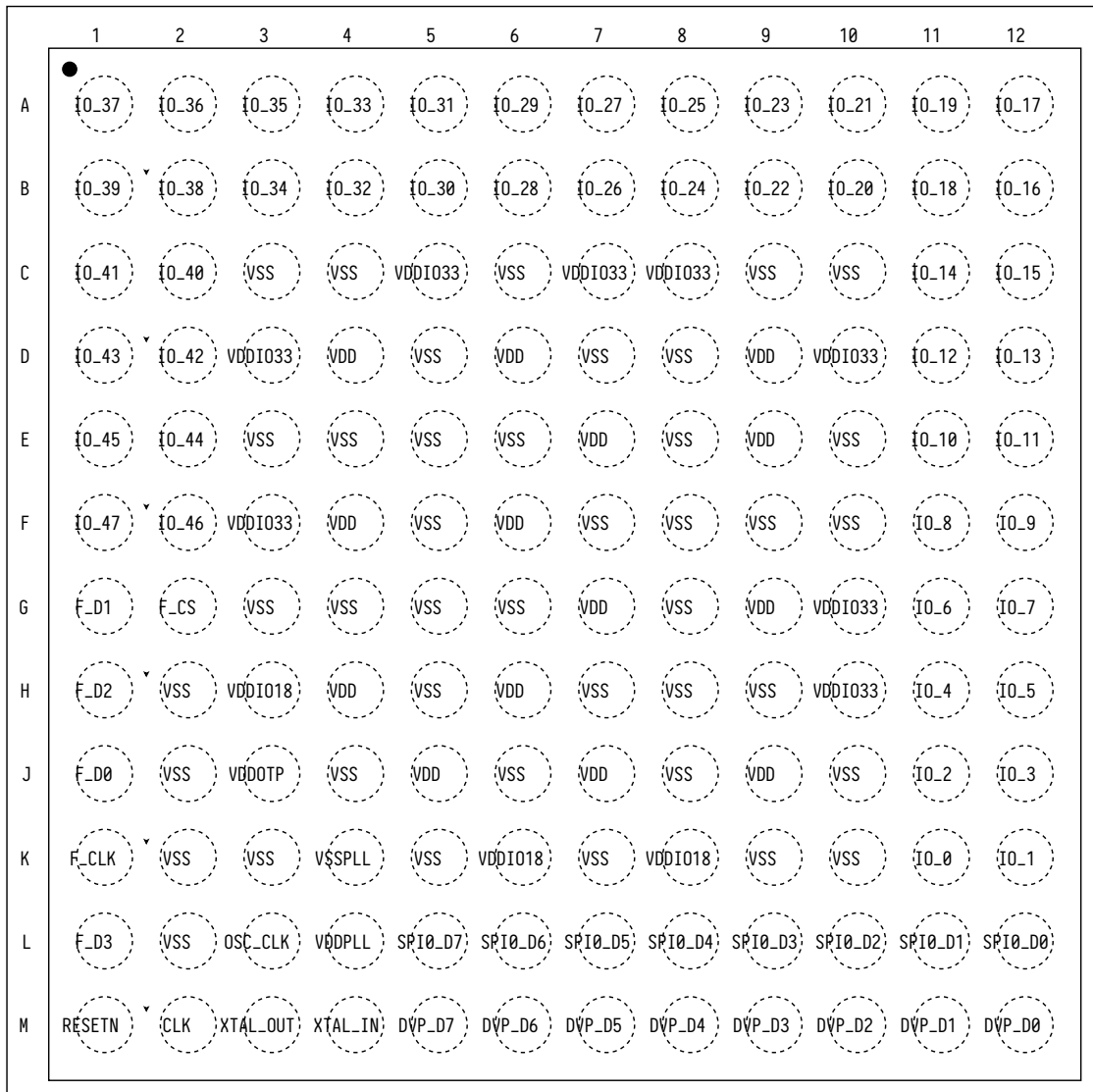
# 第 2 章

## 引脚定义

### 2.1 引脚布局

该芯片使用\*\*BGA144C65P12X12\_800X800X95\*\*封装，正方形，每一边有 12 个引脚。芯片宽度为 8mm，长度为 8mm，高度为 0.95mm。

芯片的引脚定义如下图（顶视图，锡球朝向下方）：



## 2.2 引脚描述

编号	名称	类型	功能	复位后初始状态
A1	I0_37	I/O	可编程 I0 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS21
A2	I0_36	I/O	可编程 I0 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS20
A3	I0_35	I/O	可编程 I0 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS19
A4	I0_33	I/O	可编程 I0 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS17
A5	I0_31	I/O	可编程 I0 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS15



编号	名称	类型	功能	复位后初始状态
A6	IO_29	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS13
A7	IO_27	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS11
A8	IO_25	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS9
A9	IO_23	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS7
A10	IO_21	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS5
A11	IO_19	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS3
A12	IO_17	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS1
B1	IO_39	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS23
B2	IO_38	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS22
B3	IO_34	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS18
B4	IO_32	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS16
B5	IO_30	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS14
B6	IO_28	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS12
B7	IO_26	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS10
B8	IO_24	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS8
B9	IO_22	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS6
B10	IO_20	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS4
B11	IO_18	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS2
B12	IO_16	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS0
C1	IO_41	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS25
C2	IO_40	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS24
C3	VSS	S	接地。	VSS
C4	VSS	S	接地。	VSS
C5	VDDI033	S	3.3V 电源, 为可变电平 GPIO 供电。	VDDI033
C6	VSS	S	接地。	VSS
C7	VDDI033	S	3.3V 电源, 为可变电平 GPIO 供电。	VDDI033
C8	VDDI033	S	3.3V 电源, 为可变电平 GPIO 供电。	VDDI033
C9	VSS	S	接地。	VSS
C10	VSS	S	接地。	VSS
C11	IO_14	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIO6
C12	IO_15	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIO7
D1	IO_43	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS27
D2	IO_42	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	GPIOHS26
D3	VDDI033	S	3.3V 电源, 为可变电平 GPIO 供电。	VDDI033
D4	VDD	S	0.9V 电源, 为芯片数字核心供电。	VDD

编号	名称	类型	功能	复位后初始状态
D5	VSS	S	接地。	VSS
D6	VDD	S	0.9V 电源，为芯片数字核心供电。	VDD
D7	VSS	S	接地。	VSS
D8	VSS	S	接地。	VSS
D9	VDD	S	0.9V 电源，为芯片数字核心供电。	VDD
D10	VDDI033	S	3.3V 电源，为可变电平 GPIO 供电。	VDDI033
D11	IO_12	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIO4
D12	IO_13	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIO5
E1	IO_45	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIOHS29
E2	IO_44	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIOHS28
E3	VSS	S	接地。	VSS
E4	VSS	S	接地。	VSS
E5	VSS	S	接地。	VSS
E6	VSS	S	接地。	VSS
E7	VDD	S	0.9V 电源，为芯片数字核心供电。	VDD
E8	VSS	S	接地。	VSS
E9	VDD	S	接地。	VDD
E10	VSS	S	接地。	VSS
E11	IO_10	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIO2
E12	IO_11	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIO3
F1	IO_47	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIOHS31
F2	IO_46	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIOHS30
F3	VDDI033	S	3.3V 电源，为可变电平 GPIO 供电。	VDDI033
F4	VDD	S	0.9V 电源，为芯片数字核心供电。	VDD
F5	VSS	S	接地。	VSS
F6	VDD	S	0.9V 电源，为芯片数字核心供电。	VDD
F7	VSS	S	接地。	VSS
F8	VSS	S	接地。	VSS
F9	VSS	S	接地。	VSS
F10	VSS	S	接地。	VSS
F11	IO_8	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIO0
F12	IO_9	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	GPIO1
G1	F_D1	I/O	SPI 专用 GPIO（支持电平为 1.8V，不可切换）。	F_D1
G2	F_CS	O	SPI 专用 GPIO（支持电平为 1.8V，不可切换）。	F_CS
G3	VSS	S	接地。	VSS

编号	名称	类型	功能	复位后初始状态
G4	VSS	S	接地。	VSS
G5	VSS	S	接地。	VSS
G6	VSS	S	接地。	VSS
G7	VDD	S	0.9V 电源, 为芯片数字核心供电。	VDD
G8	VSS	S	接地。	VSS
G9	VDD	S	0.9V 电源, 为芯片数字核心供电。	VDD
G10	VDDIO33	S	3.3V 电源, 为可变电平 GPIO 供电。	VDDIO33
G11	IO_6	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	(FLOAT*)
G12	IO_7	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	(FLOAT*)
H1	F_D2	I/O	SPI 专用 GPIO (支持电平为 1.8V, 不可切换)。	F_D2
H2	VSS	S	接地。	VSS
H3	VDDIO18	S	1.8V 电源, 为低压 GPIO 供电。	VDDIO18
H4	VDD	S	0.9V 电源, 为芯片数字核心供电。	VDD
H5	VSS	S	接地。	VSS
H6	VDD	S	0.9V 电源, 为芯片数字核心供电。	VDD
H7	VSS	S	接地。	VSS
H8	VSS	S	接地。	VSS
H9	VSS	S	接地。	VSS
H10	VDDIO33	S	3.3V 电源, 为可变电平 GPIO 供电。	VDDIO33
H11	IO_4	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	UARTHS_RX
H12	IO_5	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	UARTHS_TX
J1	F_D0	I/O	SPI 专用 GPIO (支持电平为 1.8V, 不可切换)。	F_D0
J2	VSS	S	接地。	VSS
J3	VDDOTP	S	1.8V 电源, 为一次性可编程存储器 (OTP) 供电。	VDDOTP
J4	VSS	S	接地。	VSS
J5	VDD	S	0.9V 电源, 为芯片数字核心供电。	VDD
J6	VSS	S	接地。	VSS
J7	VDD	S	0.9V 电源, 为芯片数字核心供电。	VDD
J8	VSS	S	接地。	VSS
J9	VDD	S	0.9V 电源, 为芯片数字核心供电。	VDD
J10	VSS	S	接地。	VSS
J11	IO_2	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	JTAG_TMS
J12	IO_3	I/O	可编程 IO 阵列的可变电平 GPIO (支持电平在 3.3V 或 1.8V 之间切换)。	JTAG_TDO
K1	F_CLK	0	SPI 专用 GPIO (支持电平为 1.8V, 不可切换)。	F_CLK
K2	VSS	S	接地。	VSS

编号	名称	类型	功能	复位后初始状态
K3	VSS	S	接地。	VSS
K4	VSSPLL	S	接模拟地，锁相环（PLL）使用，噪声敏感。	VSSPLL
K5	VSS	S	接地。	VSS
K6	VDDIO18	S	1.8V 电源，为低压 GPIO 供电。	VDDIO18
K7	VSS	S	接地。	VSS
K8	VDDIO18	S	1.8V 电源，为低压 GPIO 供电。	VDDIO18
K9	VSS	S	接地。	VSS
K10	VSS	S	接地。	VSS
K11	IO_0	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	JTAG_TCLK
K12	IO_1	I/O	可编程 IO 阵列的可变电平 GPIO（支持电平在 3.3V 或 1.8V 之间切换）。	JTAG_TDI
L1	F_D3	I/O	SPI 专用 GPIO（支持电平为 1.8V，不可切换）。	F_D3
L2	VSS	S	接地。	VSS
L3	OSC_CLK	O	有源振荡器输出，时钟来源于外部晶体振荡器。	OSC_CLK
L4	VDDPLL	S	0.9V 模拟电源，为锁相环（PLL）供电。	VDDPLL
L5	SPI0_D7	O	输出专用引脚，用于 SPI0 D7 输出。	(FLOAT*)
L6	SPI0_D6	O	输出专用引脚，用于 SPI0 D6 输出。	(FLOAT*)
L7	SPI0_D5	O	输出专用引脚，用于 SPI0 D5 输出。	(FLOAT*)
L8	SPI0_D4	O	输出专用引脚，用于 SPI0 D4 输出。	(FLOAT*)
L9	SPI0_D3	O	输出专用引脚，用于 SPI0 D3 输出。	(FLOAT*)
L10	SPI0_D2	O	输出专用引脚，用于 SPI0 D2 输出。	(FLOAT*)
L11	SPI0_D1	O	输出专用引脚，用于 SPI0 D1 输出。	(FLOAT*)
L12	SPI0_D0	O	输出专用引脚，用于 SPI0 D0 输出。	(FLOAT*)
M1	RESET	I	系统复位引脚，低电平复位。	RESET
M2	CLK	I	系统时钟输入。	CLK
M3	XTAL_OUT	O	无源晶体振荡器输出脚。非失效安全，禁止灌入有源信号。	XTAL_OUT
M4	XTAL_IN	I	无源晶体振荡器输入脚。非失效安全，禁止灌入有源信号。	XTAL_IN
M5	DVP_D7	I	输入专用引脚，用于 DVP D7 输入。	(FLOAT*)
M6	DVP_D6	I	输入专用引脚，用于 DVP D6 输入。	(FLOAT*)
M7	DVP_D5	I	输入专用引脚，用于 DVP D5 输入。	(FLOAT*)
M8	DVP_D4	I	输入专用引脚，用于 DVP D4 输入。	(FLOAT*)
M9	DVP_D3	I	输入专用引脚，用于 DVP D3 输入。	(FLOAT*)
M10	DVP_D2	I	输入专用引脚，用于 DVP D2 输入。	(FLOAT*)
M11	DVP_D1	I	输入专用引脚，用于 DVP D1 输入。	(FLOAT*)
M12	DVP_D0	I	输入专用引脚，用于 DVP D0 输入。	(FLOAT*)

含义说明表：

标识	含义
(FLOAT*)	无默认功能
I	输入
O	输出
I/O	输入/输出
S	电源

## 2.3 电源电路

电源域	电源名称	额定电压 (V)	最大电流 (mA)
I/O 3.3V	VDDI033	3.3	200
I/O 1.8V	VDDI018	1.8	200
OTP 1.8V	VDDOTP	1.8	50
Core 0.9V	VDD	0.9	1000
SoC	VSS	0	-
PLL 0.9V	VDDPLL	0.9	15
PLL	VSSPLL	0	-

## 2.4 复位电路

## 2.5 特殊引脚

# 第 3 章

## 功能描述

### 3.1 中央处理器 (CPU)

本芯片搭载基于 RISC-V ISA 的双核心 64 位的高性能低功耗 CPU，具备以下特性：

项目	内容	描述
核心数量	2 个	双核对等，各个核心具备独立 FPU
处理器位宽	64 位	64 位 CPU 位宽，为高性能算法计算提供位宽基础，计算带宽充足
最高频率	400MHz	频率可调，可以通过调整 PLL VCO 与分频进行变频
指令集扩展	IMAFDC	基于 RISC-V 64 位 IMAFDC (RV64GC)，胜任通用任务
浮点处理单元	双精度	具备乘法器、除法器与平方根运算器，支持单精度、双精度的浮点计算
内存管理单元	支持	支持 MMU 与高级内存管理
平台中断管理	PLIC	支持高级中断管理，支持 64 个外部中断源路由到 2 个核心
本地中断管理	CLINT	支持 CPU 内置定时器中断与跨核心中断
指令缓存	32KiB × 2	核心 0 与核心 1 各具有 32 千字节的指令缓存，提升双核指令读取效能
数据缓存	32KiB × 2	核心 0 与核心 1 各具有 32 千字节的数据缓存，提升双核数据读取效能
片上 SRAM	8MiB	共计 8 兆字节的片上 SRAM，详细见 SRAM 章节

#### 3.1.1 CPU 指令特点

- 强大的双核 64 位基于开放架构的处理器，具备丰富的社区资源支持
- 支持 I 扩展，即基本整数指令集 (BASE INTEGER INSTRUCTION SET) 扩展
- 支持 M 扩展，即整数乘除扩展，可硬件加速实现高性能整数乘除
- 支持 A 扩展，即原子操作扩展，可硬件实现软件与操作系统需要的原子操作
- 支持 C 扩展，即压缩指令扩展，可通过编译器压缩指令实现更高的代码密度与运行效率

- 支持不同特权等级，可分特权执行指令，更安全

### 3.1.2 FPU 与浮点计算能力

- FPU 满足 IEEE754-2008 标准，计算流程以流水线方式进行，具备很强的运算能力
- 核心 0 与核心 1 各具备独立 FPU，两个核心皆可胜任高性能硬件浮点计算
- 支持 F 扩展，即单精度浮点扩展，CPU 内嵌的 FPU 支持单精度浮点硬件加速
- 支持 D 扩展，即双精度浮点扩展，CPU 内嵌的 FPU 支持双精度浮点硬件加速
- FPU 具备除法器，支持单精度、双精度的浮点的硬件除法运算
- FPU 具备平方根运算器，支持单精度、双精度的浮点的硬件平方根运算

### 3.1.3 高级中断管理能力

该 RISC-V CPU 的 PLIC 控制器支持非常灵活的高级中断管理，可分 7 个优先级灵活配置 64 个外部中断源，两个核心都可独立进行配置：

- 可对两个核心独立进行中断管理与中断路由控制
- 支持软件中断，并且双核心可以相互触发跨核心中断
- 支持 CPU 内置定时器中断，两个核心都可自由配置
- 高级外部中断管理，支持 64 个外部中断源，每个中断源可配置 7 个优先级

### 3.1.4 调试能力

- 支持性能监控指令，可统计指令执行周期
- 具备用以调试的高速 UART 与 JTAG 接口
- 支持 DEBUG 模式以及硬件断点

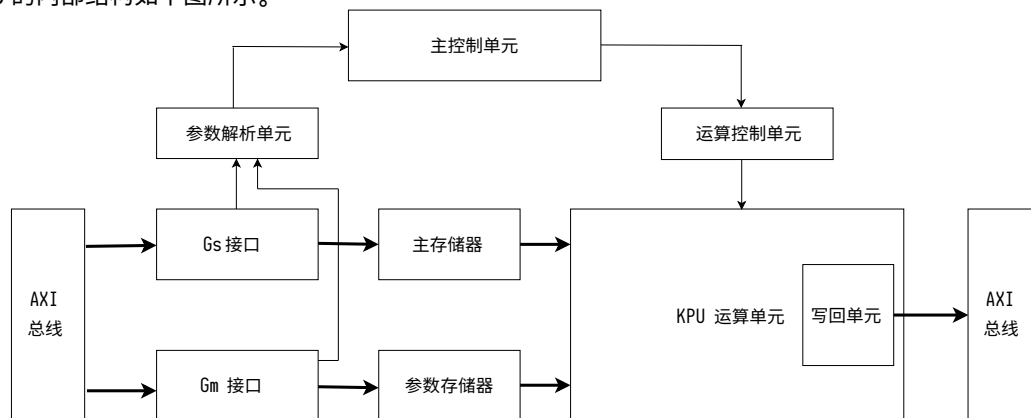
## 3.2 神经网络处理器 (KPU)

KPU 是通用的神经网络处理器，内置了卷积、批归一化、激活、池化运算单元，可以对人脸或者物体进行实时检测，具体特性如下：

- 支持所有在配套的 MODEL COMPILER 上训练的网络，其中包括 TINY-YOLO, MOBILENET-V1 等
- 对网络层数无直接限制，支持每层卷积神经网络参数单独配置，包括输入输出通道数目、输入输出宽列高
- 支持两种卷积内核 1x1 和 3x3
- 支持任意形式的激活函数

- 最大支持网络容量为 4.5M 字节

KPU 的内部结构如下图所示。



### 3.3 音频处理器 (APU)

APU 前处理模块负责语音方向扫描和语音数据输出的前置处理工作。APU 前处理模块的功能特性有：

- 可以支持最多 8 路音频输入数据流，即 4 路双声道
- 可以支持多达 16 个方向的声源方向同时扫描预处理与波束形成
- 可以支持一路有效的语音数据流输出
- 内部音频信号处理精度达到 16-位
- 输入音频信号支持 12-位，16-位，24-位，32-位精度
- 支持多路原始信号直接输出
- 可以支持高达 192K 采样率的音频输入
- 内置 FFT 变换单元，可对音频数据提供 512 点快速傅里叶变换
- 利用系统 DMAC 将输出数据存储在 SoC 的系统内存中

### 3.4 静态随机存取存储器 (SRAM)

SRAM 包含两个部分，分别是 6MiB 的片上通用 SRAM 存储器与 2MiB 的片上 AI SRAM 存储器，共计 8MiB (1MiB 为 1 兆字节)。其中，AI SRAM 存储器是专为 KPU 分配的存储器。它们分布在连续的地址空间中，不仅可以通过经过 CPU 的缓存接口访问，而且可以通过非缓存接口直接访问。

SRAM 映射分布：

模块名称	映射类型	开始地址	结束地址	空间大小
通用 SRAM 存储器	经 CPU 缓存	0x80000000	0x805FFFFFF	0x600000



模块名称	映射类型	开始地址	结束地址	空间大小
AI SRAM 存储器	经 CPU 缓存	0x80600000	0x807FFFFFFF	0x200000
通用 SRAM 存储器	非 CPU 缓存	0x40000000	0x405FFFFFFF	0x600000
AI SRAM 存储器	非 CPU 缓存	0x40600000	0x407FFFFFFF	0x200000

### 3.4.1 通用 SRAM 存储器

通用 SRAM 存储器在芯片正常工作的任意时刻都可以访问。该存储器分为两个 Bank，分别为 MEM0 与 MEM1，并且 DMA 控制器可同时操作不同 Bank。

通用 SRAM 存储器地址空间：

模块名称	映射类型	开始地址	结束地址	空间大小
MEM0	经 CPU 缓存	0x80000000	0x803FFFFFFF	0x400000
MEM1	经 CPU 缓存	0x80400000	0x805FFFFFFF	0x200000
MEM0	非 CPU 缓存	0x40000000	0x403FFFFFFF	0x400000
MEM1	非 CPU 缓存	0x40400000	0x405FFFFFFF	0x200000

### 3.4.2 AI SRAM 存储器

AI SRAM 存储器仅在以下条件都满足时才可访问：

- PLL1 已使能，时钟系统配置正确
- KPU 没有在进行神经网络计算

AI SRAM 存储器地址空间：

模块名称	映射类型	开始地址	结束地址	空间大小
AI SRAM 存储器	经 CPU 缓存	0x80600000	0x807FFFFFFF	0x200000
AI SRAM 存储器	非 CPU 缓存	0x40600000	0x407FFFFFFF	0x200000

## 3.5 系统控制器 (SYSCTL)

控制芯片的时钟，复位和系统控制寄存器：

- 配置 PLL 的频率

- 配置时钟选择
- 配置外设时钟的分频比
- 控制时钟使能
- 控制模块复位
- 选择 DMA 握手信号

### 3.6 现场可编程 IO 阵列 (FPIOA)

FPIOA 允许用户将 255 个内部功能映射到芯片外围的 48 个自由 IO 上：

- 支持 IO 的可编程功能选择
- 支持 IO 输出的 8 种驱动能力选择
- 支持 IO 的内部上拉电阻选择
- 支持 IO 的内部下拉电阻选择
- 支持 IO 输入的内部施密特触发器设置
- 支持 IO 输出的斜率控制
- 支持内部输入逻辑的电平设置

### 3.7 一次性可编程存储器 (OTP)

OTP 是一次性可编程存储器单元，具体应用特性如下：

- 具有 128Kbit 的大容量存储空间
- 内部划分多个容量不同的 BLOCK，每个 BLOCK 对应一个写保护位，可以单独进行写保护操作
- 具有坏点修复功能
- 内部存储了 64 个 REGISTER\_ENABLE 标志位，用来控制个上电初始化的控制，比如 JTAG 的开关等
- 可以存储 128 位的 AES 加密和解密需要的 KEY，软件层面只可写，不可读，上电初始化的时候自动加载到 AES，增强了 KEY 的安全性

### 3.8 高级加密加速器 (AES)

AES 加速器是用来解密和解密的模块，具体性能如下：

- 支持 ECB, CBC, GCM 三种加密方式
- 支持 128 位, 192 位, 256 位三种长度的 KEY
- KEY 可以同过软件配置，也可以通过 OTP 直接硬件加载（安全效果更好，软件层面无法破解）

- 支持 DMA 传输

### 3.9 数字视频接口 (DVP)

DVP 是摄像头接口模块，特性如下：

- 支持 DVP 接口的摄像头
- 支持 SCCB 协议配置摄像头寄存器
- 最大支持 640X480 及以下分辨率，每帧大小可配置
- 支持 YUV422 和 RGB565 格式的图像输入
- 支持图像同时输出到 KPU 和显示屏：
  - 输出到 KPU 的格式可选 RGB888，或 YUV422 输入时的 Y 分量
  - 输出到显示屏的格式为 RGB565
- 检测到一帧开始或一帧图像传输完成时可向 CPU 发送中断

### 3.10 快速傅里叶变换加速器 (FFT)

FFT 模块是用硬件的方式来实现 FFT 的基 2 时分运算。

- 支持多种运算长度，即支持 64 点、128 点、256 点以及 512 点运算
- 支持两种运算模式，即 FFT 以及 IFFT 运算
- 支持可配的输入数据位宽，即支持 32 位及 64 位输入
- 支持可配的输入数据排列方式，即支持虚部、实部交替，纯实部以及实部、虚部分离三种数据排列方式
- 支持可配的数据搬运方式，即 CPU 搬数和 DMA 搬数

### 3.11 安全散列算法加速器 (SHA256)

SHA256 模块是用来计算 SHA-256 的计算单元：

- 支持 SHA-256 的计算
- 支持输入数据的 DMA 传输

## 3.12 通用异步收发传输器 (UART)

### 3.12.1 高速 UART :

高速 UART 为 UARTH5(UART0)。

- 通信速率可达到 5M
- 8 字节发送和接收 FIFO
- 可编程式 THRE 中断
- 不支持硬件流控制或其他调制解调器控制信号，或同步串行数据转换器

### 3.12.2 通用 UART :

通用 UART 为 UART1、UART2 和 UART3，支持异步通信 (RS232 和 RS485 和 IRDA，通信速率可达到 5M。UART 支持 CTS 和 RTS 信号的硬件管理以及软件流控 (XON 和 XOFF)。3 个接口均可被 DMA 访问或者 CPU 直接访问。

- 8 字节发送和接收 FIFO
- 异步时钟支持
  - 为了应对 CPU 对于数据同步的对波特率的要求，UART 可以单独配置数据时钟。全双工模式能保证两个时钟域中数据的同步
- RS485 接口支持
  - UART 可以配置为软件可编程式 RS485 模式。默认为 RS232 模式
- 可编程式 THRE 中断
  - 用 THRE 中断模式来提升串口性能。当 THRE 模式和 FIFO 模式被选择之后，如果 FIFO 中少于阈值便触发 THRE 中断

## 3.13 看门狗定时器 (WDT)

WDT 是 APB 的一种从外设，并且也是“同步化硬件组件设计”的组成部分。看门狗定时器主要包含模块有：

- 一个 APB 从接口
- 一个当前计数器同步的寄存器模块
- 一个随着计数器递减的中断/系统重置模块和逻辑控制电路
- 一个同步时钟域来为异步时钟同步做支持

看门狗定时器支持如下设置：

- APB 总线宽度可配置为 8、16 和 32 位
- 时钟计数器从某一个设定的值递减到 0 来指示时间的计时终止
- 可选择的外部时钟使能信号，用于控制计数器的计数速率
- 一个时钟超时 WDT 可以执行以下任务：
  - 产生一个系统复位信号
  - 首先产生一个中断，即使该位是否已经被中断服务清除，其次它会产生一个系统复位信号
- 占空比可编程调节
- 可编程和硬件设定计数器起始值
- 计数器重新计时保护
- 暂停模式，仅当使能外部暂停信号时
- WDT 偶然禁用保护
- 测试模式，用来进行计数器功能测试（递减操作）
- 外部异步时钟支持。当该项功能启用时，将会产生时钟中断和系统重置信号，即使 APB 总线时钟关闭的情况下

## 3.14 通用输入/输出接口 (GPIO)

### 3.14.1 高速 GPIO：

高速 GPIO 为 GPIOHS，共 32 个，具有如下特点：

- IO 翻转速度能到 3M
- 可配置输入输出信号
- 可配置独立的中断同步信号，边沿触发和电平触发
- 每个 IO 可以分配到相应管脚
- 可配置上下拉，或者高阻

### 3.14.2 通用 GPIO：

通用 GPIO 共 8 个，具有如下特点：

- IO 翻转速度能到 1M
- 可配置输入输出信号
- 可配置触发 IO 总中断，边沿触发和电平触发
- 每个 IO 可以分配到相应管脚
- 可配置上下拉，或者高阻

### 3.15 直接内存存取控制器 (DMAC)

DMAC 具有高度可配置化, 高度可编程, 在总线模式下传输数据具有高效率, DMAC 控制器具有多主机, 多频道等特点。DMAC 具有如下特点:

- 内存-内存, 内存-外设, 外设-内存, 外设-外设的 DMA 传输
- 具有独立的核, 主接口和从接口独立时钟
- 当所有外设不活动时主接口可以关闭其时钟来省电
- 多达八个通道, 每路通道都有源和目的地对
- 每个通道数据传输数据时每个时刻只能有一个方向传输, 不同通道则不受影响
- 输入管脚可以动态选择大小端制式
- 通道锁支持, 支持内部通道仲裁, 根据数据传输的优先级来使用主接口总线的特权
- DMAC 状态输出, 空闲/忙指示
- DMA 传输分配成传输中, 被中断, 传输完成等传输等级

### 3.16 集成电路内置总线 (I<sup>2</sup>C)

集成电路总线有 3 个 I<sup>2</sup>C 总线接口, 根据用户的配置, 总线接口可以用作 I<sup>2</sup>C MASTER 或 SLAVE 模式。I<sup>2</sup>C 接口支持:

- 标准模式 (0 到 100Kb/s)
- 快速模式 (<= 400Kb/s)
- 7-位/10-位 寻址模式
- 批量传输模式
- 中断或轮询模式操作

### 3.17 串行外设接口 (SPI)

串行外设接口有 4 组 SPI 接口, 其中 SPI0、SPI1、SPI3 只能工作在 MASTER 模式, SPI2 只能工作在 SLAVE 模式, 他们有如下特性:

- 支持 1/2/4/8 线全双工模式
- 最高可支持 45M 传输速率
- 支持 32 位宽、32BYTE 深的 FIFO
- 独立屏蔽中断 - 主机冲突, 发送 FIFO 溢出, 发送 FIFO 空, 接收 FIFO 满, 接收 FIFO 下溢, 接收 FIFO 溢出中断都可以被屏蔽独立
- 支持 DMA 功能

- 支持双沿的 DDR 传输模式
- SPI3 支持 XIP

### 3.18 集成电路内置音频总线 (I<sup>2</sup>S)

集成电路内置音频总线共有 3 个 (I<sup>2</sup>S0、I<sup>2</sup>S1、I<sup>2</sup>S2)，都是 MASTER 模式。其中 I<sup>2</sup>S0 支持可配置连接语音处理模块，实现语音增强和声源定向的功能。下面是一些共有的特性：

- 总线宽度可配置为 8, 16, 和 32 位
- 每个接口最多支持 4 个立体声通道
- 由于发送器和接收器的独立性，所以支持全双工通讯
- APB 总线和 I<sup>2</sup>S SCLK 的异步时钟
- 音频数据分辨率为 12, 16, 20, 24 和 32 位
- I<sup>2</sup>S0 发送 FIFO 深度为 64 字节，接收为 8 字节，I<sup>2</sup>S1 和 I<sup>2</sup>S2 的发送和接收 FIFO 深度都为 8 字节
- 可配置可编程的 DMA 寄存器
- 可编程 FIFO 阈值

### 3.19 定时器 (TIMER)

系统有 3 个 TIMER 模块，它们有如下特性：

- 时钟独立可配
- 每个中断的可配置极性
- 单个或组合中断输出标志可配置
- 每个定时器有读/写一致性寄存器
- 定时器切换输出，每当定时器计数器重新加载时切换
- 定时器切换输出的脉冲宽度调制 (PWM)，0 % 到 100% 占空比

### 3.20 只读存储器 (ROM)

AXI ROM 负责从 SPI FLASH 中拷贝程序至芯片的 SRAM 中

- 支持固件 AES-CBC-128 解密
- 支持 UOP 模式烧写 FLASH 的程序
- 支持固件 SHA256 完整性校验防篡改
- 支持 OTP 中禁用掉 UOP 模式，SHA256 校验，AES 解密

- 支持进入 TURBO 模式，可以使得启动时芯片及其外设最大频率运行

### 3.21 实时时钟 (RTC)

RTC 是用来计时的单元，在设置时间后具备计时功能：

- 可使用外部高频晶振进行计时
- 可配置外部晶振频率与分频
- 支持万年历配置，可配置的项目包含世纪、年、月、日、时、分、秒与星期
- 可按秒进行计时，并查询当前时刻
- 支持设置一组闹钟，可配置的项目包含年、月、日、时、分、秒，闹钟到达时触发中断
- 中断可配置，支持每日、每时、每分、每秒触发中断
- 可读出小于 1 秒的计数器计数值，最小刻度单位为外部晶振的单个周期
- 上电/复位后数据清零

### 3.22 脉冲宽度调制器 (PWM)



# 第 4 章

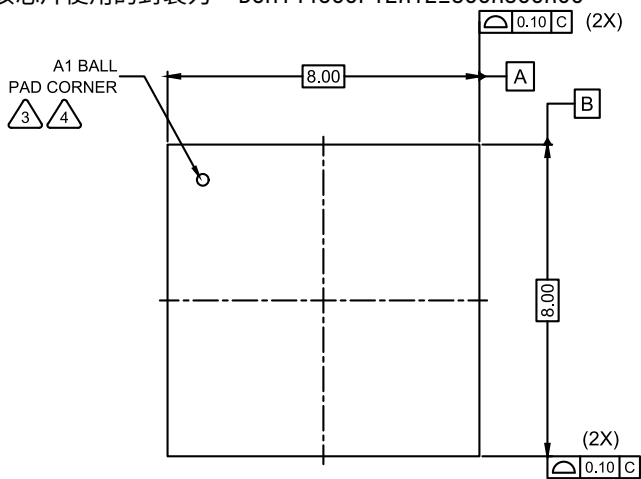
## 电气特性

参数项目	参数名称	最小值	典型值	最大值	单位
3.3V I/O 供电电压	$V_{DD3.3V}$	-	3.3V	-	V
1.8V 数字供电电压	$DV_{DD1.8V}$	-	1.8V	-	V
1.8V 模拟供电电压	$AV_{DD1.8V}$	-	1.8V	-	V
0.9V 核心供电电压	$V_{DD0.9V}$	-	0.9V	-	V
3.3V I/O 供电电流	$I_{3.3V}$	-	-	-	A
1.8V 数字供电电流	$I_{1.8V}$	-	-	-	A
1.8V 模拟供电电流	$I_{1.8V}$	-	-	-	A
0.9V 核心供电电流	$I_{0.9V}$	-	-	-	A
3.3V I/O 输入逻辑电平高	$V_{IH3.3V}$	-	-	-	V
3.3V I/O 输入逻辑电平低	$V_{IL3.3V}$	-	-	-	V
1.8V I/O 输入逻辑电平高	$V_{IH1.8V}$	-	-	-	V
1.8V I/O 输入逻辑电平低	$V_{IL1.8V}$	-	-	-	V
3.3V I/O 输出逻辑电平高	$V_{OH3.3V}$	-	-	-	V
3.3V I/O 输出逻辑电平低	$V_{OL1.8V}$	-	-	-	V
1.8V I/O 输出逻辑电平高	$V_{OH3.3V}$	-	-	-	V
1.8V I/O 输出逻辑电平低	$V_{OL1.8V}$	-	-	-	V
I/O 输入漏电流	$I_{IL}$	-	-	-	nA
I/O 输入电容	$C_{PAD}$	-	-	-	pF
I/O 输出最大驱动能力	$I_{DMAX}$	-	-	-	mA
存储温度范围	$T_{STR}$	-40	-	-	°C
工作温度范围	$T_{OPR}$	-40	-	125	°C

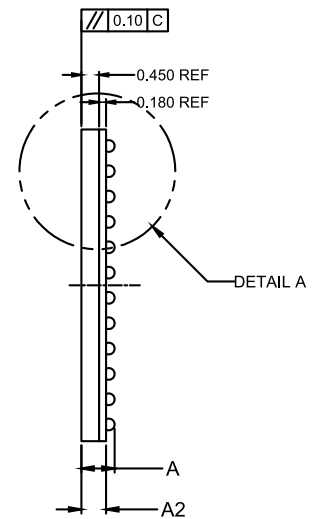
# 第 5 章

## 封装信息

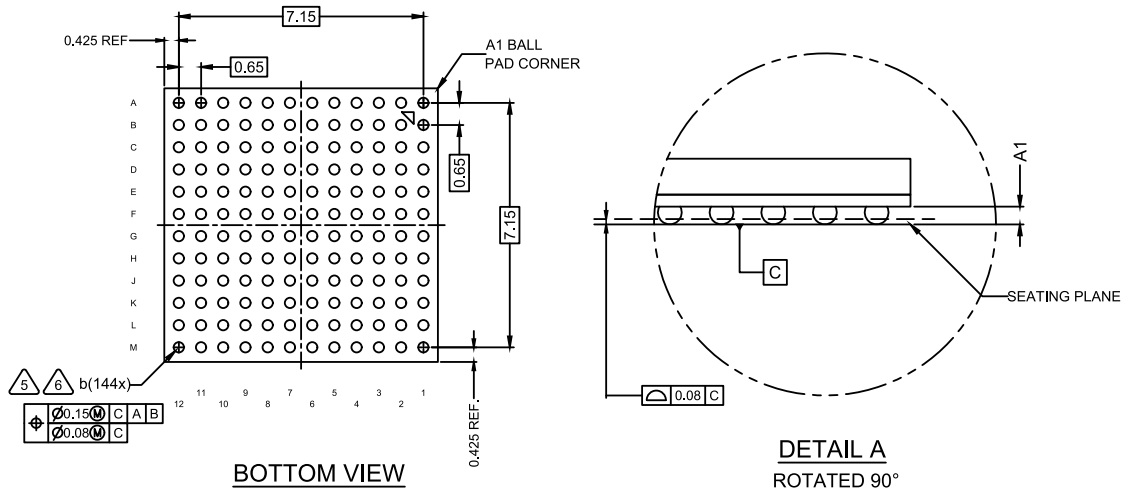
该芯片使用的封装为\*\*BGA144C65P12X12\_800X800X95\*\*



TOP VIEW



SIDE VIEW



DIMENSION	MINIMUM	NOMINAL	MAXIMUM
A	0.753	0.853	0.953
A1	0.163	0.223	0.283
A2	0.550	0.630	0.710
b	0.250	0.300	0.350
NUMBER OF BALL 144			

UNLESS OTHERWISE SPECIFIED,  
DIMENSIONS ARE IN MILIMETERS.

TOLERANCES ARE:		PACKAGE OUTLINE DRAWING
DECIMALS	ANGLES	fcVFBGA 8.00mm X 8.00mm,
X.X ±0.1		0.65mm PITCH, 144LD
X.XX ±0.05	±1°	
X.XXX ±0.050		